

2/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.

007354752

WPI Acc No: 1987-351758/ 198750

Buffer circuit in semiconductor integrated circuit device - has two  
series-connected gate circuits, transfer gates, capacitors and gate  
circuit NoAbstract Dwg 1/2

Patent Assignee: NEC CORP (NIDE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62254515	A	19871106	JP 8699106	A	19860428	198750 B

Priority Applications (No Type Date): JP 8699106 A 19860428

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 62254515	A		17		

Title Terms: BUFFER; CIRCUIT; SEMICONDUCTOR; INTEGRATE; CIRCUIT; DEVICE;  
TWO; SERIES; CONNECT; GATE; CIRCUIT; TRANSFER; GATE; CAPACITOR; GATE;  
CIRCUIT; NOABSTRACT

Derwent Class: U22

International Patent Class (Additional): H03K-005/13

File Segment: EPI

2/5/2 (Item 1 from file: 347)  
DIALOG(R)File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

02337615 \*\*Image available\*\*  
BUFFER CIRCUIT

PUB. NO.: 62-254515 A]

PUBLISHED: November 06, 1987 (19871106)

INVENTOR(s): SHIOTANI SUMIO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 61-099106 [JP 8699106]

FILED: April 28, 1986 (19860428)

INTL CLASS: [4] H03K-005/13; H03K-005/04

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)

JOURNAL: Section: E, Section No. 603, Vol. 12, No. 130, Pg. 1, April  
21, 1988 (19880421)

#### ABSTRACT

PURPOSE: To correct the characteristic change only by the control of an external terminal by connecting a variable capacitance changed at the outside of a semiconductor integrated circuit device to a connecting point of logic gates connected in cascade.

CONSTITUTION: The titled circuit consists of two gate circuits 5, 6 connected in cascade, plural transfer gates 8-11, plural capacitors 12-15 and a gate circuit 7. The plural transfer gates 8-11 are connected to a connecting point 16 of the two gate circuits 5, 6 and the plural capacitors 12-15 are connected respectively to the plural transfer gates 8-11. The gate circuit 7 controls the plural transfer gates 8-11 to control the connecting state of the plural capacitors 12-15. The variable capacitor changed from the outside of the semiconductor integrated circuit device is connected to the connecting point of the logic gates connected in cascade to control the signal delay time and the duty factor of the clock from the outside of the semiconductor integrated circuit device.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-254515

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)11月6日

H 03 K 5/13  
5/04

7259-5J  
7259-5J

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 バッファ回路

⑯ 特 願 昭61-99106

⑰ 出 願 昭61(1986)4月28日

⑱ 発 明 者 塩 谷 純 男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

バッファ回路

2. 特許請求の範囲

縦続接続された2個のゲート回路と、前記2個のゲート回路の接続点に接続された複数のトランスファゲートと、前記複数のトランスファゲートのそれぞれに接続された複数のコンデンサと、前記複数のトランスファゲートを制御して前記複数のコンデンサの接続状態を制御するためのゲート回路とを具備して構成したことを特徴とするバッファ回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路装置によるバッファ回路に関し、特に入力バッファや出力バッファなどのバッファ回路に関する。

(従来の技術)

従来、この種のバッファ回路はトランジスタサイズが固定され、駆動能力が固定されているため

負荷ゲート数や配線長などの与えられた負荷条件に対して一定の遅延時間と、一定の立上り時間や立下り時間を有していた。

特に、入力信号間の位相差、内部クロックのデューティサイクル、出力信号間の位相差、出力信号の絶対遅延時間、ならびに出力クロックデューティサイクルは半導体集積回路装置と外部回路とのインターフェース、および最高動作周波数を決定する主要な要因であるため、評価後に調整し、最適化を計りたいという要求が強かった。

(発明が解決しようとする問題点)

上述した従来のバッファ回路は、半導体集積回路装置の評価時に遅延時間特性を変更する必要が生じた場合には、再設計したり、あるいは再製造したりしなければならないという欠点があった。

本発明の目的は、縦続接続された論理ゲートの接続点に半導体集積回路装置の外部から変更可能な可変容量を接続することにより上記欠点を除去し、上記信号特性を変更できるように構成したバッファ回路を提供することにある。

(問題点を解決するための手段)

本発明によるバッファ回路は、縦続接続された2個のゲート回路と、複数のトランスファゲートと、複数のコンデンサと、ゲート回路とを具備して構成したものである。

複数のトランスファゲートは2個のゲート回路の接続点に接続されたものであり、複数のコンデンサは複数のトランスファゲートのそれぞれに接続されたものである。

ゲート回路は複数のトランスファゲートを制御して、複数のコンデンサの接続状態を制御するためのものである。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は、本発明によるバッファ回路の一実施例を示すブロック図である。第1図において、1はバッファ入力端子、2はバッファ出力端子、5〜7はそれぞれゲート回路、8〜11はそれぞれトランスファゲート、3、4はそれぞれ入力端子、12〜15はそれぞれコンデンサである。トラン

立下り時間とを等しくすることは困難であり、両者間に時間差がある。以下の説明においては、立下り時間より立下り時間の方が短いものとする。

第2図は、第1図に示すバッファ回路の各部の波形を示す波形図である。第2図において波形(A)は第1図の端子1への入力波形であり、本来50%のデューティファクタを有するべきものであるが、小さくなっている。ここで、接点16には外部端子3、4に印加された信号により比較的大きな容量のコンデンサが付加されているものとする。その結果、接点16には波形(B)に示すように立下り時間と立下り時間とに大きな差が生じた波形が出力される。したがって、デューティファクタは50%に近づくことになり、ゲート回路6の出力端子2にはデューティファクタの補正された波形(C)が出力される。

本発明によるバッファ回路を遅延時間制御回路として使用する場合には、半導体集積回路装置の入力信号間、および出力信号間の位相を調整することができる。半導体集積回路装置の内部で位相

スファゲート8〜11はゲート回路7を介して半導体集積回路装置の入力端子3、4に接続され、入力端子3、4に印加された信号によりトランスファゲート8〜11の導通、非導通が制御されている。

このように、トランスファゲート8〜11に接続された外部端子3、4からの制御により、コンデンサ12〜15を任意に接点16に付加することができる。

その結果、ゲート回路5の負荷が変化し、負荷の大きさに応じてゲート回路5の遅延時間が変化し、結果的にバッファ回路の遅延時間、つまり端子1から端子2への遅延時間を変化させることが可能となる。

上記説明は、本発明によるバッファ回路を可変遅延時間バッファ回路として使用した場合の説明である。次に、本発明によるバッファ回路をデューティファクタ調整回路として使用した場合の動作例を第2図に従って説明する。

一般的にゲート回路の出力波形の立ち上がり時間と、

差を厳しく制御しなければならない部分があれば、本発明によるバッファ回路を使用することにより最適化を計ることができる。

本発明によるバッファ回路をデューティファクタ制御回路として使用する場合には、半導体集積回路装置の入力端子にデューティファクタが50%以外の信号が印加された場合でも、内部で補正することが可能であり、予め決定されたデューティファクタの信号を出力しなければならない場合でも、内部でデューティファクタを補正することが可能である。

このようにして、設計値と実現された値との間の差の補正、外部回路と装置との間のインターフェースの補正、あるいは製造のばらつきに対する特性変化の補正を外部端子の制御のみによつて行うことが可能である。

(発明の効果)

以上説明したように本発明は、縦続接続された論理ゲートの接続点に半導体集積回路装置の外部から変更可能な可変容量を接続することにより、

信号の遅延時間やクロックのデューティファクタを半導体集積回路装置の外部から制御できるという効果がある。

#### 4. 図面の簡単な説明

第1図は、本発明によるバッファ回路の一実施例を示すブロック図である。

第2図は、第1図に示すバッファ回路の各部の波形を示す説明図である。

- 1～4・・・端子
- 5～7・・・ゲート回路
- 8～11・・・トランスファゲート
- 12～15・・・コンデンサ
- 16・・・接点

図1

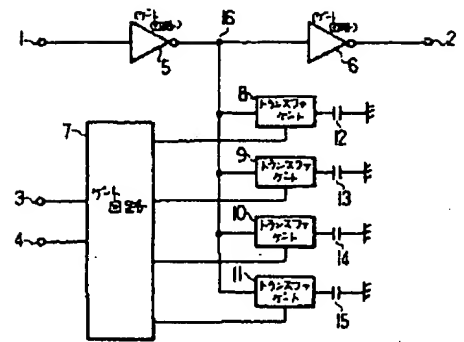
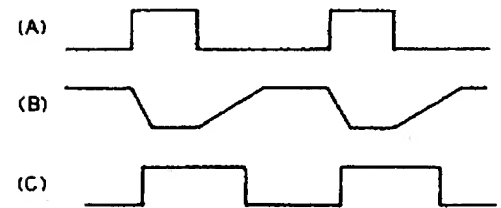


図2



特許出願人 日本電気株式会社  
代理人 弁理士 井ノ口 雄